

Document made available under the Patent Cooperation Treaty (PCT)

International application number: PCT/JP05/006490

International filing date: 01 April 2005 (01.04.2005)

Document type: Certified copy of priority document

Document details: Country/Office: JP
Number: 2004-108970
Filing date: 01 April 2004 (01.04.2004)

Date of receipt at the International Bureau: 20 May 2005 (20.05.2005)

Remark: Priority document submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b)



World Intellectual Property Organization (WIPO) - Geneva, Switzerland
Organisation Mondiale de la Propriété Intellectuelle (OMPI) - Genève, Suisse

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2 0 0 4 年 4 月 1 日

出 願 番 号
Application Number: 特 願 2 0 0 4 - 1 0 8 9 7 0

パリ条約による外国への出願
に用いる優先権の主張の基礎
となる出願の国コードと出願
番号

The country code and number
of your priority application,
to be used for filing abroad
under the Paris Convention, is

J P 2 0 0 4 - 1 0 8 9 7 0

出 願 人
Applicant(s): 松下電器産業株式会社

2 0 0 5 年 4 月 2 7 日

特許庁長官
Commissioner,
Japan Patent Office

小 川



【書類名】	特許願	
【整理番号】	5037950144	
【あて先】	特許庁長官殿	
【国際特許分類】	G06F 13/00	
	G06F 15/16	
【発明者】		
【住所又は居所】	大阪府門真市大字門真 1 0 0 6 番地	松下電器産業株式会社内
【氏名】	木村 浩三	
【発明者】		
【住所又は居所】	大阪府門真市大字門真 1 0 0 6 番地	松下電器産業株式会社内
【氏名】	清原 督三	
【発明者】		
【住所又は居所】	大阪府門真市大字門真 1 0 0 6 番地	松下電器産業株式会社内
【氏名】	水野 洋	
【発明者】		
【住所又は居所】	大阪府門真市大字門真 1 0 0 6 番地	松下電器産業株式会社内
【氏名】	道山 淳児	
【発明者】		
【住所又は居所】	大阪府門真市大字門真 1 0 0 6 番地	松下電器産業株式会社内
【氏名】	北村 朋彦	
【特許出願人】		
【識別番号】	000005821	
【氏名又は名称】	松下電器産業株式会社	
【代理人】		
【識別番号】	100109210	
【弁理士】		
【氏名又は名称】	新居 広守	
【手数料の表示】		
【予納台帳番号】	049515	
【納付金額】	16,000円	
【提出物件の目録】		
【物件名】	特許請求の範囲	1
【物件名】	明細書	1
【物件名】	図面	1
【物件名】	要約書	1
【包括委任状番号】	0213583	

【書類名】 特許請求の範囲

【請求項 1】

映像及び音声信号を処理する映像音声処理用集積回路であって、
C P Uを含むマイコンブロックと、
前記マイコンブロックによる制御の下で、外部装置と映像及び音声ストリームの入出力を行うストリーム入出力ブロックと、
前記マイコンブロックによる制御の下で、前記ストリーム入出力ブロックに入力された、あるいは、前記ストリーム入出力ブロックから出力される映像及び音声ストリームの圧縮及び伸張の少なくとも1つを含むメディア処理を実行するメディア処理ブロックと、
前記マイコンブロックによる制御の下で、前記メディア処理ブロックでメディア処理された映像及び音声ストリームを映像及び音声信号に変換して外部機器に出力、あるいは、外部機器から映像及び音声信号を取得し、前記メディア処理ブロックでメディア処理される映像及び音声ストリームに変換するA V入出力ブロックと、
前記マイコンブロックによる制御の下で、前記マイコンブロック、前記ストリーム入出力ブロック、前記メディア処理ブロック及び前記A V入出力ブロックとメモリとの間のデータ転送を制御するメモリインターフェースブロックと
を備えることを特徴とする映像音声処理用集積回路。

【請求項 2】

前記マイコンブロック、前記ストリーム入出力ブロック、前記メディア処理ブロック及び前記A V入出力ブロックは、専用のデータバスで前記メモリインターフェースブロックと接続され、

前記マイコンブロック、前記ストリーム入出力ブロック、前記メディア処理ブロック及び前記A V入出力ブロックの間では、前記メモリを介して、前記映像及び音声ストリームの授受が行われる

ことを特徴とする請求項 1 記載の映像音声処理用集積回路。

【請求項 3】

前記メモリインターフェースブロックは、前記マイコンブロック、前記ストリーム入出力ブロック、前記メディア処理ブロック及び前記A V入出力ブロックと前記メモリとの間のデータ転送が並列に行われるようにデータ転送を中継する

ことを特徴とする請求項 2 記載の映像音声処理用集積回路。

【請求項 4】

前記マイコンブロック、前記ストリーム入出力ブロック、前記メディア処理ブロック及び前記A V入出力ブロックは、前記映像及び音声ストリームをバッファリングするためのバッファメモリを有しない

ことを特徴とする請求項 2 記載の映像音声処理用集積回路。

【請求項 5】

前記マイコンブロック、前記ストリーム入出力ブロック、前記メディア処理ブロック及び前記A V入出力ブロックは、前記映像及び音声ストリームを前記メモリに格納した後に、格納した旨を他のブロックに通知する

ことを特徴とする請求項 2 記載の映像音声処理用集積回路。

【請求項 6】

前記ストリーム入出力ブロックは、前記外部装置と映像及び音声ストリームの送受信をするインターフェース部、送受信される映像及び音声ストリームの暗号又は復号を行う暗号処理部、及び、前記外部装置と前記メモリとのデータ転送を制御するダイレクトメモリアクセス制御部を有し、

前記メディア処理ブロックは、複数の信号処理命令を並列に実行する命令並列プロセッサ、演算処理を実行するアクセラレータ、及び、前記メモリとのデータ転送を制御するダイレクトメモリアクセス制御部を有し、

前記A V入出力ブロックは、画像データのグラフィックス処理を行うグラフィックスエンジン、及び、映像信号のフォーマットを変換するフォーマット変換部を有し、

前記メモリアンターフェースブロックは、前記マイコンブロック、前記ストリーム入出力ブロック、前記メディア処理ブロック及び前記A V入出力ブロックと接続される複数のポート、及び、前記複数のポートそれぞれにおけるデータ転送のタイミングを調整するメモリスケジューラを有する

ことを特徴とする請求項2記載の映像音声処理用集積回路。

【請求項7】

前記マイコンブロックはさらに、前記CPUへのクロックの供給をON/OFFするクロック制御部及び電源の供給をON/OFFする電源制御部の少なくとも1つを有する

ことを特徴とする請求項6記載の映像音声処理用集積回路。

【請求項8】

前記メディア処理ブロックはさらに、複数のデータに対する演算を並列に実行するデータ並列プロセッサを備える

ことを特徴とする請求項6記載の映像音声処理用集積回路。

【請求項9】

前記映像音声処理用集積回路はさらに、前記ストリーム入出力ブロックと前記メディア処理ブロックとを接続する信号線を備え、

前記メディア処理ブロックは、前記信号線を介して前記ストリーム入出力ブロックから入力される、あるいは、前記信号線を介して前記ストリーム入出力ブロックに出力する映像及び音声ストリームのメディア処理を実行する

ことを特徴とする請求項2記載の映像音声処理用集積回路。

【請求項10】

前記マイコンブロック、前記ストリーム入出力ブロック、前記メディア処理ブロック、前記A V入出力ブロック及び前記メモリアンターフェースブロックにおける回路素子と回路素子間の配線は、それぞれ、半導体基板上の回路層及び第1配線層に形成され、

前記データバスは、前記第1配線層の上に位置する第2配線層に形成されている

ことを特徴とする請求項2記載の映像音声処理用集積回路。

【請求項11】

前記映像音声処理用集積回路は、異なる複数の機器用のシステムLSIとして用いられ、

前記機器には、デジタルテレビ、デジタルビデオレコーダ、ビデオカメラ及び携帯電話が含まれる

ことを特徴とする請求項2記載の映像音声処理用集積回路。

【請求項12】

前記機器のうちの1つを第1機器、他の1つを第2機器とした場合に、

前記第1機器用の映像音声処理用集積回路と前記第2機器用の映像音声処理用集積回路とで共通に行われる処理が、

前記第1機器用の映像音声処理用集積回路のマイコンブロックで行われる場合は、前記処理が前記第2機器用の映像音声処理用集積回路のマイコンブロックで行われ、

前記第1機器用の映像音声処理用集積回路のストリーム入出力ブロックで行われる場合は、前記処理が前記第2機器用の映像音声処理用集積回路のストリーム入出力ブロックで行われ、

前記第1機器用の映像音声処理用集積回路のメディア処理ブロックで行われる場合は、前記処理が前記第2機器用の映像音声処理用集積回路のメディア処理ブロックで行われ、

前記第1機器用の映像音声処理用集積回路のA V入出力ブロックで行われる場合は、前記処理が前記第2機器用の映像音声処理用集積回路のA V入出力ブロックで行われる

ことを特徴とする請求項11記載の映像音声処理用集積回路。

【請求項13】

前記機器のうちの1つを第1機器、他の1つを第2機器とした場合に、

前記第1機器用の映像音声処理用集積回路のCPUと前記第2機器用の映像音声処理用集積回路のCPUとは、命令セットの一部が互換性を有する

ことを特徴とする請求項 1 1 記載の映像音声処理用集積回路。

【請求項 1 4】

前記メディア処理ブロックは、複数の信号処理命令を並列に実行する命令並列プロセッサを有し、

前記機器のうちの 1 つを第 1 機器、他の 1 つを第 2 機器とした場合に、

前記第 1 機器用の映像音声処理用集積回路の命令並列プロセッサと前記第 2 機器用の映像音声処理用集積回路の命令並列プロセッサとは、命令セットの一部が互換性を有する

ことを特徴とする請求項 1 1 記載の映像音声処理用集積回路。

【請求項 1 5】

前記メディア処理ブロックは、複数の信号処理命令を並列に実行する命令並列プロセッサを有し、

前記機器のうちの 1 つを第 1 機器、他の 1 つを第 2 機器とした場合に、

前記第 1 機器用の映像音声処理用集積回路の C P U のコアと前記第 2 機器用の映像音声処理用集積回路の C P U のコアとは、同じ論理的接続を有し、

前記第 1 機器用の映像音声処理用集積回路の命令並列プロセッサのコアと前記第 2 機器用の映像音声処理用集積回路の命令並列プロセッサのコアとは、同じ論理的接続を有する

ことを特徴とする請求項 1 1 記載の映像音声処理用集積回路。

【請求項 1 6】

前記メディア処理ブロックは、複数の信号処理命令を並列に実行する命令並列プロセッサを有し、

前記機器のうちの 1 つを第 1 機器、他の 1 つを第 2 機器とした場合に、

前記第 1 機器用の映像音声処理用集積回路の C P U のコアと前記第 2 機器用の映像音声処理用集積回路の C P U のコアとは、同じマスキレイアウトを有し、

前記第 1 機器用の映像音声処理用集積回路の命令並列プロセッサのコアと前記第 2 機器用の映像音声処理用集積回路の命令並列プロセッサのコアとは、同じマスキレイアウトを有する

ことを特徴とする請求項 1 1 記載の映像音声処理用集積回路。

【請求項 1 7】

前記機器のうちの 1 つを第 1 機器、他の 1 つを第 2 機器とした場合に、

前記第 1 機器用の映像音声処理用集積回路における前記 C P U のメモリマップ上での前記ストリーム入出力ブロック、前記メディア処理ブロック、前記 A V 入出力ブロック及び前記メモリアンターフェースブロックの制御レジスタのアドレスと前記第 2 機器用の映像音声処理用集積回路における前記 C P U のメモリマップ上での前記ストリーム入出力ブロック、前記メディア処理ブロック、前記 A V 入出力ブロック及び前記メモリアンターフェースブロックの制御レジスタのアドレスとが共通する

ことを特徴とする請求項 1 1 記載の映像音声処理用集積回路。

【請求項 1 8】

請求項 1 記載の映像音声処理用集積回路を用いて機器を設計開発する方法であって、

前記機器には、デジタルテレビ、デジタルビデオレコーダ、ビデオカメラ及び携帯電話が含まれる

ことを特徴とする機器の設計開発方法。

【請求項 1 9】

前記機器のうちの 1 つを第 1 機器、他の 1 つを第 2 機器とした場合に、

前記第 1 機器用の映像音声処理用集積回路と前記第 2 機器用の映像音声処理用集積回路とで共通に行われる処理が、

前記第 1 機器用の映像音声処理用集積回路のマイコンブロックで行われる場合は、前記処理を前記第 2 機器用の映像音声処理用集積回路のマイコンブロックで行い、

前記第 1 機器用の映像音声処理用集積回路のストリーム入出力ブロックで行われる場合は、前記処理を前記第 2 機器用の映像音声処理用集積回路のストリーム入出力ブロックで行い、

前記第 1 機器用の映像音声処理用集積回路のメディア処理ブロックで行われる場合は、
前記処理を前記第 2 機器用の映像音声処理用集積回路のメディア処理ブロックで行い、
前記第 1 機器用の映像音声処理用集積回路の A V 入出力ブロックで行われる場合は、前
記処理を前記第 2 機器用の映像音声処理用集積回路の A V 入出力ブロックで行う
ように設計開発することを特徴とする請求項 1 8 記載の機器の設計開発方法。

【書類名】 明細書

【発明の名称】 映像音声処理用集積回路

【技術分野】

【0001】

本発明は、映像音声処理用集積回路に関し、特に、各種アプリケーションに使用されるシステムLSIとして実現される映像音声処理用集積回路に関する。

【背景技術】

【0002】

近年のデジタル技術、動画像及び音声の圧縮伸張技術の急速な進展に伴い、デジタルテレビ(DTV)、DVDレコーダ等のデジタルビデオレコーダ(DVR)、携帯電話、ビデオカメラ等の映像音声機器は、ますます高機能化、小型化が求められている。そのために、このような映像音声機器の開発現場においても、開発期間の短縮化が大きな課題となっている。

【0003】

従来、映像音声機器の開発を支援するために、映像音声機能に関わる処理に必要な複数の機能ブロックを1つのLSIとして実現した技術がある(たとえば、非特許文献1参照)。

【0004】

この従来のLSIは、メディア処理に必要なDSP(Digital Signal Processor)コアや、各種ビデオI/O、RGB I/O、MPEG-2トランスポートストリームI/F、LAN I/F等を備える。機器の開発者は、このようなLSIを使用することで、映像音声処理に必要な各機能ブロックにおけるハードウェア回路を個別に開発する必要がなくなる。

【非特許文献1】「TMS320DM642 Technical Overview」テキサスインスツルメンツ社、p. 4等

【発明の開示】

【発明が解決しようとする課題】

【0005】

しかしながら、上記従来のLSIは、音声等による電話とのI/Fや、電力制御等の低消費電力のための機能等が備わっていないために、携帯電話やビデオカメラ等のモバイル系用途には向かないという問題がある。そのために、例えば、DTV等のサーバ系機器を上記従来のLSIを用いて実現したとしても、そこで得られたソフトウェア等の設計資産を携帯電話等のモバイル系機器に流用することができない。

【0006】

さらに、上記従来LSIを用いて映像音声機器を開発する場合には、映像や音声データを一時的に保存するためのメモリと各処理ブロックとのインターフェースについては、開発者が独自に設計しなければならない。たとえば、各処理ブロックで共有できる共有メモリを設ける場合には、各処理ブロックとメモリとの転送帯域を確保するとともにレイテンシ保証を考慮しなければならない。そのために、高機能な映像音声機器の開発工数が削減されないのが実情である。

【0007】

そこで、本発明は、このような従来の問題点に鑑みてなされたものであり、DTVやDVR等のサーバ系映像音声機器だけでなく、携帯電話やビデオカメラ等のモバイル系映像音声機器のシステムLSIとして適用できるとともに、これらの映像音声機器の開発で得られた設計資産が他の種類の映像音声機器にも流用することが可能な映像音声処理用集積回路を提供することを目的とする。

【0008】

さらに、本発明は、映像や音声データを保存するメモリと各処理ブロックとのインターフェースにおける転送帯域やレイテンシ保証を容易に確保することができる映像音声処理用集積回路を提供することをも目的とする。

【課題を解決するための手段】

【0009】

上記目的を達成するために、本発明に係る映像音声処理用集積回路は、映像及び音声信号を処理する映像音声処理用集積回路であって、CPUを含むマイコンブロックと、前記マイコンブロックによる制御の下で、外部装置と映像及び音声ストリームの入出力を行うストリーム入出力ブロックと、前記マイコンブロックによる制御の下で、前記ストリーム入出力ブロックに入力された、あるいは、前記ストリーム入出力ブロックから出力される映像及び音声ストリームの圧縮及び伸張の少なくとも1つを含むメディア処理を実行するメディア処理ブロックと、前記マイコンブロックによる制御の下で、前記メディア処理ブロックでメディア処理された映像及び音声ストリームを映像及び音声信号に変換して外部機器に出力、あるいは、外部機器から映像及び音声信号を取得し、前記メディア処理ブロックでメディア処理される映像及び音声ストリームに変換するAV入出力ブロックと、前記マイコンブロックによる制御の下で、前記マイコンブロック、前記ストリーム入出力ブロック、前記メディア処理ブロック及び前記AV入出力ブロックとメモリとの間のデータ転送を制御するメモリインターフェースブロックとを備えることを特徴とする。

【0010】

これによって、例えば、前記マイコンブロック、前記ストリーム入出力ブロック、前記メディア処理ブロック及び前記AV入出力ブロックは、専用のデータバスで前記メモリインターフェースブロックと接続され、前記マイコンブロック、前記ストリーム入出力ブロック、前記メディア処理ブロック及び前記AV入出力ブロックの間では、前記メモリを介して、前記映像及び音声ストリームの授受が行われるようにすることで、4種類の処理ブロックは、それぞれ、相互に接続されるのではなく、共通のメモリを介して接続される。したがって、各処理ブロックに対する制御プログラミングは、いずれも、メモリとの間でデータを入出力するように設計すればよく、他の処理ブロックでの処理と分離される。よって、各処理ブロックに対するアプリケーションプログラムの独立性が高まり、設計資産の流用が可能となる。

【0011】

ここで、前記メモリインターフェースブロックは、前記マイコンブロック、前記ストリーム入出力ブロック、前記メディア処理ブロック及び前記AV入出力ブロックと前記メモリとの間のデータ転送が並列に行われるようにデータ転送を中継してもよいし、前記マイコンブロック、前記ストリーム入出力ブロック、前記メディア処理ブロック及び前記AV入出力ブロックは、前記映像及び音声ストリームを前記メモリに格納した後に、格納した旨を他のブロックに通知してもよい。これによって、メモリは、メモリインターフェースブロックを介して、各処理ブロックに共有されることとなり、メモリインターフェースブロックにデータ転送やアービトレーションの制御や管理処理を集中させることで、メモリと各処理ブロックとのインターフェースにおける転送帯域の確保やレイテンシ保証が容易となる。

【0012】

また、前記ストリーム入出力ブロックは、例えば、前記外部装置と映像及び音声ストリームの送受信をするインターフェース部、送受信される映像及び音声ストリームの暗号又は復号を行う暗号処理部、及び、前記外部装置と前記メモリとのデータ転送を制御するダイレクトメモリアクセス制御部を有し、前記メディア処理ブロックは、例えば、複数の信号処理命令を並列に実行する命令並列プロセッサ、演算処理を実行するアクセラレータ、及び、前記メモリとのデータ転送を制御するダイレクトメモリアクセス制御部を有し、前記AV入出力ブロックは、例えば、画像データのグラフィックス処理を行うグラフィックスエンジン、及び、映像信号のフォーマットを変換するフォーマット変換部を有し、前記メモリインターフェースブロックは、例えば、前記マイコンブロック、前記ストリーム入出力ブロック、前記メディア処理ブロック及び前記AV入出力ブロックと接続される複数のポート、及び、前記複数のポートそれぞれにおけるデータ転送のタイミングを調整するメモリスケジューラを有してもよい。

【0013】

さらに、モバイル用のアプリケーションとして、前記マイコンブロックはさらに、前記CPUへのクロックの供給をON/OFFするクロック制御部及び電源の供給をON/OFFする電源制御部の少なくとも1つを有するのが好ましい。

【0014】

また、サーバ用のアプリケーションとして、前記メディア処理ブロックはさらに、複数のデータに対する演算を並列に実行するデータ並列プロセッサを備えるのが好ましい。

また、前記映像音声処理用集積回路はさらに、前記ストリーム入出力ブロックと前記メディア処理ブロックとを接続する信号線を備え、前記メディア処理ブロックは、前記信号線を介して前記ストリーム入出力ブロックから入力される、あるいは、前記信号線を介して前記ストリーム入出力ブロックに出力する映像及び音声ストリームのメディア処理を実行してもよい。ストリーム入出力ブロックから送られてくるストリームデータが低ビットレートである場合には、高速動作するメディア処理ブロックが直接ストリームデータを受信してメディア処理を実行するほうが、メモリを経由しない分だけ、セキュリティ向上、消費電力削減と合わせて、処理効率が高くなり得るからである。

【0015】

また、具体的なアプリケーションとして、前記映像音声処理用集積回路は、異なる複数の機器用のシステムLSIとして用いられ、前記機器には、デジタルテレビ、デジタルビデオレコーダ、ビデオカメラ及び携帯電話が含まれる。

【0016】

そして、前記機器のうちの1つを第1機器、他の1つを第2機器とした場合に、CPUの命令セットに互換性をもたせたり、メディアプロセッサの命令セットに互換性をもたせたり、CPUあるいはメディアプロセッサのコアにソフトマクロの共通性をもたせたり、ハードマクロの共通性をもたせたり、メモリマップの共通性をもたせたりしてもよい。

【0017】

なお、本発明は、このようなシステムLSIとして実現することができるだけでなく、そのようなシステムLSIを用いた機器の設計開発方法として実現することもできる。つまり、デジタルテレビ、デジタルビデオレコーダ、ビデオカメラ及び携帯電話等の機器のうちの1つを第1機器、他の1つを第2機器とした場合に、前記第1機器用の映像音声処理用集積回路と前記第2機器用の映像音声処理用集積回路とで共通に行われる処理が、前記第1機器用の映像音声処理用集積回路のマイコンブロックで行われる場合は、前記処理を前記第2機器用の映像音声処理用集積回路のマイコンブロックで行い、前記第1機器用の映像音声処理用集積回路のストリーム入出力ブロックで行われる場合は、前記処理を前記第2機器用の映像音声処理用集積回路のストリーム入出力ブロックで行い、前記第1機器用の映像音声処理用集積回路のメディア処理ブロックで行われる場合は、前記処理を前記第2機器用の映像音声処理用集積回路のメディア処理ブロックで行い、前記第1機器用の映像音声処理用集積回路のAV入出力ブロックで行われる場合は、前記処理を前記第2機器用の映像音声処理用集積回路のAV入出力ブロックで行うように設計開発する方法として実現してもよい。

【発明の効果】

【0018】

本発明により、DTVやDVR等のサーバ系映像音声機器だけでなく、携帯電話やビデオカメラ等のモバイル系映像音声機器についても、共通のシステムLSIを用いて実現することができる。そして、これらの映像音声機器間で、設計資産の流用が可能となる。

【0019】

また、映像や音声データを保存するメモリと各処理ブロックとのインターフェースにおける転送帯域の確保やレイテンシ保証が容易となり、短い期間で高機能な映像音声機器を開発することが可能となる。

【0020】

このように、本発明により、映像音声機器の開発期間が短縮化され、映像音声機器に対

してますます高機能な映像音声処理が求められる今日における実用的価値は極めて高い。

【発明を実施するための最良の形態】

【0021】

以下、本発明の実施の形態について、図面を用いて詳細に説明する。

図1は、本発明に係る映像音声処理用集積回路1の基本構成を示す機能ブロック図である。本発明に係る映像音声処理用集積回路1は、後述するように、若干の回路構成を変更することで、携帯電話やビデオカメラ等のモバイル系の映像音声機器に適した回路構成、あるいは、DTVやDVR等のサーバ系映像音声機器に適した回路構成として実現することができるが、いずれのアプリケーションにも共通するアーキテクチャをもち、本図には、その共通アーキテクチャが示されている。

【0022】

この映像音声処理用集積回路1は、映像音声ストリームに関する様々な信号処理を行うシステムLSIであり、マイコンブロック2、メディア処理ブロック3、ストリームI/Oブロック4、AVIO(Audio Visual Input Output)ブロック5及びメモリIFブロック6から構成される。

【0023】

マイコンブロック2は、映像音声処理用集積回路1全体を制御するプロセッサであり、制御バス7を介して各処理ブロック3～6を制御したり、データバス8b及びメモリIFブロック6を介して外部メモリ9にアクセスしたりする回路ブロックである。ここでの処理は、映像音声の出力サイクル（フレームレート等）に依存しない非リアルタイムな汎用（制御関連の）処理である。

【0024】

ストリームI/Oブロック4は、マイコンブロック2による制御の下で、蓄積メディアやネットワーク等の周辺デバイスから圧縮画像音声ストリーム等のストリームデータを読み込み、データバス8a及びメモリIFブロック6を介して外部メモリ9に格納したり、その逆方向のストリーム転送をしたりする回路ブロックである。ここでの処理は、映像音声の出力サイクル（フレームレート等）に依存しない非リアルタイムなI/O処理である。

【0025】

メディア処理ブロック3は、マイコンブロック2による制御の下で、データバスデータバス8c及びメモリIFブロック6を介して外部メモリ9から圧縮画像音声ストリーム等の画像音声データを読み出し、圧縮又は伸張等のメディア処理を行った後に、再び、データバス8c及びメモリIFブロック6を介して、処理後の画像データや音声データを外部メモリ9に格納する回路ブロックである。ここでの処理は、映像音声の出力サイクル（フレームレート等）に依存するリアルタイムな汎用（メディア関連の）処理である。

【0026】

AVIOブロック5は、マイコンブロック2による制御の下で、データバス8d及びメモリIFブロック6を介して外部メモリ9から画像データ及び音声データ等を読み出し、各種グラフィック処理等を施した後に、画像信号及び音声信号として外部の表示装置やスピーカ等へ出力したり、その逆方向のデータ転送をしたりする回路ブロックである。ここでの処理は、映像音声の出力サイクル（フレームレート等）に依存するリアルタイムなI/O処理である。

【0027】

メモリIFブロック6は、マイコンブロック2による制御の下で、各処理ブロック2～5と外部メモリ9との間で並列にデータ転送が行われるように制御する回路ブロックである。このとき、マイコンブロック2からの要求に応じて、各処理ブロック2～5と外部メモリ9との間の転送帯域を確保するとともに、レイテンシ保証を行う。

【0028】

このように、本発明に係る映像音声処理用集積回路1は、リアルタイム性と処理の種類（I/O処理／非I/O（汎用的な）処理）との組み合わせで定められる4つの特徴的な処理ブロック2～5、つまり、非リアルタイムな汎用的な処理を実行するマイコンブロック2

、リアルタイムな汎用的な処理を実行するメディア処理ブロック3、非リアルタイムなI/O処理を実行するストリームI/Oブロック4、及び、リアルタイムなI/O処理を実行するAVIOブロック5に加えて、それら4つの処理ブロック2～5と専用のデータバス8a～8dで接続されたメモリIFブロック6とから構成され、モバイル系のアプリケーションとサーバ系のアプリケーションの両方に共通のアーキテクチャを備える。

【0029】

つまり、4種類の処理ブロックは、それぞれ、相互に接続されるのではなく、共通の外部メモリ9を介して接続される。したがって、各処理ブロックに対する制御プログラミングは、いずれも、外部メモリ9との間でデータを入出力するように設計すればよく、他の処理ブロックでの処理と分離される。これによって、各処理ブロックに対するアプリケーションプログラムの独立性が高まり、各処理ブロックは、他の処理ブロックからの影響を受けることなく、各処理ブロックとメモリIFとの間の仕様のみを考慮するだけで設計することが可能になるため、設計効率を高めることができるとともに、他のアプリケーションに展開した場合であっても、必要なブロックの構成のみを変更することで、その他のアプリケーションの処理を行うことが可能になるため、設計資産の流用が可能となる。

【0030】

たとえば、携帯電話等のモバイル系の映像音声機器に組み込むために開発した映像音声処理用集積回路のアプリケーションプログラム（例えば、携帯電話が受信した圧縮音声ストリームをメディア処理ブロックで伸張するアプリケーションプログラム）をDTV等のサーバ系映像音声機器に組み込む映像音声処理用集積回路のアプリケーションプログラム（例えば、DTVが受信したトランスポートストリームに含まれていた音声ストリームをメディア処理ブロックで伸張するアプリケーションプログラム）として流用することができる。

【0031】

つまり、DTV、DVR、ビデオカメラ、携帯電話等の機器のうちの1つを第1機器、他の1つを第2機器とした場合に、第1機器用の映像音声処理用集積回路と第2機器用の映像音声処理用集積回路とで共通に行われる処理が、第1機器用の映像音声処理用集積回路のマイコンブロックで行われる場合は、その処理を第2機器用の映像音声処理用集積回路のマイコンブロックで行い、第1機器用の映像音声処理用集積回路のストリームI/Oブロックで行われる場合は、その処理を第2機器用の映像音声処理用集積回路のストリームI/Oブロックで行い、第1機器用の映像音声処理用集積回路のメディア処理ブロックで行われる場合は、その処理を第2機器用の映像音声処理用集積回路のメディア処理ブロックで行い、第1機器用の映像音声処理用集積回路のAVIOブロックで行われる場合は、その処理を第2機器用の映像音声処理用集積回路のAVIOブロックで行うように設計開発することができる。このように、第1機器用の映像音声処理用集積回路の各ブロックの処理の分担を第2機器用の映像音声処理用集積回路の各ブロックの処理の分担と共通化することにより、各ブロックのハードウェア及びソフトウェアの設計資産を流用することができる。

【0032】

なお、この映像音声処理用集積回路1は、1つの半導体基板上に形成された1チップLSIであるが、製造工程上の構成として、図2に示されるように、半導体基板1a、回路層1b、下位配線層1c及び上位配線層1dからなる。回路層1bは、各処理ブロック2～5の回路要素に相当し、下位配線層1cは、各処理ブロック2～5の回路要素を接続する各処理ブロック2～5内での配線に相当し、上位配線層1dは、各処理ブロック2～5間を接続するバス（制御バス7及びデータバス8a～8d）に相当する。このように、配線層を各処理ブロック内での配線と各処理ブロック間を接続する配線とに分離し、異なるマスクレイアウトとすることで、各処理ブロックの内部と外部での配線設計が分離され、設計が容易となる。

【0033】

次に、本発明に係る映像音声処理用集積回路のうち、携帯電話やビデオカメラ等のモバ

イル系アプリケーションに適したタイプの映像音声処理用集積回路について、より詳細に説明する。

【 0 0 3 4 】

図 3 は、モバイル系アプリケーションに適した映像音声処理用集積回路 1 0 0 の詳細な構成を示す機能ブロック図である。

映像音声処理用集積回路 1 0 0 は、無線通信や低消費電力化の機能が必要とされるモバイル系の映像音声機器に適したシステム L S I であり、マイコンブロック 1 0、メディア処理ブロック 2 0、ストリーム I / O ブロック 3 0、A V I O ブロック 4 0 及びメモリ I F ブロック 5 0 から構成される。

【 0 0 3 5 】

マイコンブロック 1 0 は、制御バス 6 0 を介して各処理ブロック 2 0 ~ 4 0 を制御したり、データバス 7 1 を介して S D R A M (S y n c r o n o u s D R A M) 1 0 6 にアクセスしたりする回路ブロックであり、DMA (D i r e c t M e m o r y A c c e s s) 部 1 1、C P U 部 1 2、マイコン周辺部 1 3、クロック制御部 1 4 及び電源制御部 1 5 等を備える。

【 0 0 3 6 】

DMA 部 1 1 は、ダイレクトメモリアクセス用のコントローラであり、例えば、外部バスを介して接続されたフラッシュメモリ 1 0 1 に格納されたユーザプログラム等を C P U 部 1 2 内のプログラムメモリ等に直接転送することによってダウンロードする。

【 0 0 3 7 】

C P U 部 1 2 は、タイマー機能や割り込み機能を有するプロセッサコアであり、内部のプログラムメモリ等に格納されたプログラムに従って、この映像音声処理用集積回路 1 0 0 全体の制御を行う。なお、内部のプログラムメモリ等には、予め O S 等の基本ソフトが格納されている。

【 0 0 3 8 】

マイコン周辺部 1 3 は、割り込み制御回路や周辺 I / O ポート等である。

クロック制御部 1 4 は、クロックを各回路に供給するとともに、C P U 部 1 2 等がアイドル状態等のときに C P U 部 1 2 等へのクロック供給を停止する等により、低消費電力化を図る回路である。

【 0 0 3 9 】

電源制御部 1 5 は、電源を各回路に供給するとともに、各処理ブロックがアイドル状態等のときに各処理ブロックへの電源供給を停止する等により、低消費電力化を図る回路である。

【 0 0 4 0 】

メディア処理ブロック 2 0 は、マイコンブロック 1 0 による制御の下で、S D R A M 1 0 6 からデータバスデータバス 7 2 a 及び 7 2 b を介して読み出した画像・オーディオ・音声データを M P E G 規格等に沿って圧縮・伸張する高速な D S P 等であり、命令並列プロセッサ 2 1、シーケンサ部 2 2、第 1 ~ 第 4 アクセラレータ (A C C ; a c c e l e r a t o r) 部 2 3 ~ 2 6 及び D M A C 部 2 7 等を備える。なお、このメディア処理ブロック 2 0 は、S D R A M 1 0 6 を介さずに、ストリーム I / O ブロック 3 0 からデータバス 7 4 を介してストリームデータを直接受け取ることもできる。ストリーム I / O ブロック 3 0 から送られてくるストリームデータが低ビットレートである場合には、高速動作するメディア処理ブロック 2 0 が直接ストリームデータを受信してメディア処理を実行するほうが、S D R A M 1 0 6 を経由しない分だけ、セキュリティ向上、消費電力削減と合わせて、処理効率が高くなり得るからである。

【 0 0 4 1 】

命令並列プロセッサ 2 1 は、複数の命令 (信号処理命令) を並列に実行するプロセッサであり、各構成要素 2 2 ~ 2 7 の全体制御を行う。

シーケンサ部 2 2 は、命令並列プロセッサ 2 1 による制御の下で、第 1 ~ 第 4 アクセラレータ部 2 3 ~ 2 6 による処理シーケンスを制御する。

【0042】

第1～第4アクセラレータ部23～26は、それぞれ並列に動作し、画像・オーディオ・音声データに対してDCT（Discrete Cosine Transform）、逆DCT、量子化、逆量子化、動き検出、動き補償等の圧縮・伸張等のメディア処理を行う演算処理エンジンである。

【0043】

DMAC部27は、ダイレクトメモリアクセス用のコントローラであり、例えば、データバス72a及び72b等を介してSDRAM106との間でのデータの直接転送を制御する。

【0044】

なお、このメディア処理ブロック20は、モバイル系アプリケーションのための低電力化対応回路となっている。具体的には、消費電力の高い汎用的なデータ処理プロセッサではなく、第1～第4アクセラレータ部23～26のような低消費電力の専用ハードエンジンによって実現されていること、処理データが存在しない等のアイドル状態を自動検知して停止したり（自動停止制御）、クロック供給を遮断したりする（ゲーテッドクロック）機能を備える。

【0045】

ストリームI/Oブロック30は、外部デバイス102～104からストリームデータを受信し、データバス70を介してSDRAM106に格納したり、その逆のデータ転送をする回路ブロックであり、暗号エンジン部32、セキュア管理部33、DMAC部34、ストリーム処理部35及びデバイスIF部36等を備える。

【0046】

暗号エンジン部32は、入力された暗号化ストリームデータや鍵データ等を復号したり、外部デバイス102～104に渡す鍵データを暗号化したりする暗号器及び復号器である。

【0047】

セキュア管理部33は、外部デバイス102～104との間で必要となる機器認証プロトコル等の実行制御をしたり、秘密鍵を保持したりする耐タンパな回路である。

DMAC部34は、ダイレクトメモリアクセス用のコントローラであり、例えば、デバイスIF部36を介して入力されるストリームデータをデータバス70を介してSDRAM106に直接転送する。

【0048】

ストリーム処理部35は、デバイスIF部36を介して外部デバイス102～104から入力されたストリームデータを多重分離する。

デバイスIF部36は、携帯電話等に使用される通信用プロセッサ等の別CPU102との間で送受信するためのI/Oポート、SD（商標）カード等のメモ리카ード103との間で読み書きをするためのI/Oポート、PDA104等との間で赤外線通信等をするためのI/Oポート等の集まりである。

【0049】

AVIOブロック40は、SDRAM106に格納された映像及び音声ストリームを、データバス73a及び73bを介して読み出し、LCD107等に出力したり、デジタルカメラ108から送られてくる撮像データを、データバス73a及び73bを介してSDRAM106に格納したりする回路ブロックであり、グラフィックスエンジン部41、ビデオ入力フォーマット変換部42、撮像処理エンジン部43、オーディオIF部44及びビデオ出力フォーマット変換部45等を備える。

【0050】

グラフィックスエンジン部41は、フィルタ処理、画面合成、曲線描画、3D表示等のグラフィックス処理を行う高性能グラフィックスエンジンである。

ビデオ入力フォーマット変換部42は、この映像音声処理用集積回路100に入力された映像データの色空間等に起因にする信号フォーマットを内部処理に適したフォーマット

に変換する。

【0051】

撮像処理エンジン部43は、デジタルカメラ108等から入力される静止画や動画に対する高画質撮像処理を行う。

オーディオIF部44は、マイク・スピーカ等との間で音声信号を入出力するA/D変換器、D/A変換器等である。

【0052】

ビデオ出力フォーマット変換部45は、出力する映像信号の色空間等に起因する信号フォーマットをLCD107等に適合するフォーマットに変換する。

メモリIFブロック50は、この映像音声処理用集積回路100とSDRAM106等の外部メモリや高速IF105との間でのデータ転送を制御するインターフェース回路であり、メモリスケジューラ51、バッファ部52及び内蔵RAM53等を備える。

【0053】

メモリスケジューラ51は、各処理ブロック10～40や高速IF105との間で並列にデータを入出力するポート（サブシステムIF51a～51c）を有するスケジューラであり、マイコンブロック10からの指示に従って、各サブシステムIF51a～51cごとに、一定の転送帯域を確保するとともに、レイテンシを保証している。

【0054】

バッファ部52は、SDRAM106とメモリスケジューラ51とのデータ転送を中継する高速なバッファメモリである。

内蔵RAM53は、メモリスケジューラ51が各サブシステムIF51a～51cごとに一定帯域のデータ転送を保証するためのデータ退避用バッファメモリである。

【0055】

次に、以上のように構成された映像音声処理用集積回路100の動作について図4～図6を用いて説明する。

図4は、メモ리카ード103から圧縮画像音声ストリームを読み出し、伸張した後に、画像信号及び音声信号として出力する場合の映像音声処理用集積回路100の動作手順を示すフローチャートである。図5は、そのときのデータの流れを示す図である。図6は、各処理ブロック20～40での処理の様子を示す図である。

【0056】

まず、マイコンブロック10は、内蔵しているプログラムに従って、各処理ブロック20～40の初期設定等をする（図4のS10）。たとえば、メディア処理ブロック20に対してMPEG4に基づく伸張処理を指示し、ストリームI/Oブロック30に対してメモ리카ード103に格納された圧縮画像音声ストリームを読み出すように指示し、AVIOブロック40に対して音声出力とLCD107への映像出力を指示する。

【0057】

次に、ストリームI/Oブロック30は、メモ리카ード103に格納されている圧縮画像音声ストリームを読み出し、メモリIFブロック50を介してSDRAM106に格納する（図4のS11、図5のS20）。この圧縮画像音声ストリームは、例えば、図6（a）に示されるように、画像と音声のビット列が多重化された構造となっている。

【0058】

続いて、メディア処理ブロック20は、SDRAM106に格納された圧縮画像音声ストリームを読み出し、そのヘッダ情報等に基づいてパーサ処理等を行うことで、図6（b）に示されるような画像ストリームと音声ストリームとに多重分離し、分離した各ストリームデータをメモリIFブロック50を介してSDRAM106に書き戻す（図4のS12、図5のS21）。

【0059】

そして、再び、メディア処理ブロック20は、SDRAM106から画像ストリームと音声ストリームを読み出し、伸張処理を施した後に、図6（c）に示される画像データ（例えば、画素ごとに8ビットで表現される画像データ）及び音声データ（16ビット／サ

ンブルで表現される音声データ）としてSDRAM106に書き戻す（図4のS13、図5のS22）。

【0060】

最後に、AVIOブロック40は、SDRAM106から画像ストリームと音声ストリームを読み出し、画像ストリームについてはREC656フォーマット等へのフォーマット変換を施し、音声ストリームについてはD/A変換等を施した後に、それぞれ、画像信号及び音声信号として、図6（d）に示されるように、LCD107やスピーカ等に出力する（図4のS14、図5のS23、S24）。

【0061】

なお、上記各処理ブロックによる処理（図4のS11～S14）は、画像ストリームについてはパケット、マクロブロック、スライス、ピクチャ等の単位で、音声ストリームについてはパケット、フレーム等の単位でパイプライン処理される。そのとき、マイコンブロック10、メディア処理ブロック20、ストリームI/Oブロック30及びAVIOブロック40は、画像及び音声ストリームのパケット等をSDRAM106に格納した場合に、格納した旨を他のブロックに通知する。これによって各パイプライン工程が流れる。

【0062】

このように、本発明に係る映像音声処理用集積回路100によれば、メモ리카ード103等の外部デバイスから与えられた圧縮画像音声ストリームは、画像ストリームと音声ストリームとに多重分離され、伸張された後に、フォーマット変換され、画像信号及び音声信号として出力される。つまり、1つのLSIと外部メモリ（SDRAM106）だけで、外部デバイスに格納された圧縮画像音声ストリームの再生が可能となる。

【0063】

そして、この映像音声処理用集積回路100によれば、各処理ブロックごとに画像データや音声データを一時格納するバッファメモリを備えるのではなく、全ての処理ブロックに共通の共有メモリ（SDRAM106）を備える。したがって、各処理ブロックに割り当てるメモリサイズを自由に決定することができ、各処理ブロックでのデータ発生量や処理負荷が異なる様々なアプリケーションに対して、この映像音声処理用集積回路100を適用することができる。また、各ブロックは、独立してバッファメモリを備える必要がないため、この映像音声処理用集積回路100は、全体としてチップサイズを縮小化することができる。

【0064】

次に、本発明に係る映像音声処理用集積回路のうち、DTVやDVR等のサーバ系アプリケーションに適したタイプの映像音声処理用集積回路について、より詳細に説明する。

図7は、サーバ系アプリケーションに適した映像音声処理用集積回路200の詳細な構成を示す機能ブロック図である。

【0065】

この映像音声処理用集積回路200は、各種周辺デバイスとの接続や多種多様なメディア処理が必要とされるサーバ系の映像音声機器に適したシステムLSIであり、マイコンブロック210、メディア処理ブロック220、ストリームI/Oブロック230、AVIOブロック240及びメモリIFブロック250から構成される。各処理ブロック210～250は、基本的には、上記映像音声処理用集積回路100の処理ブロック10～50と同様の構成を備える。以下、上記映像音声処理用集積回路100と同様の構成要素には同一の符号を付し、説明を省略する。

【0066】

マイコンブロック210は、上記映像音声処理用集積回路100のマイコンブロック10からクロック制御部14と電源制御部15とを除いた構成を備える。サーバ系のアプリケーションでは、これらの低消費電力用回路が不要となるからである。なお、このマイコンブロック210は、外部バスを介して、映像音声機器のメインプロセッサとなる外部マスタ201と接続され、外部マスタ201による制御の下で動作することもできる。

【0067】

メディア処理ブロック２２０は、上記映像音声処理用集積回路１００のメディア処理ブロック２０における１つのアクセラレータをデータ並列プロセッサ２２１に代えた構成を備える。データ並列プロセッサ２２１は、１つの命令で複数のデータに対する演算を実行するSIMD（Single Instruction Multiple Data）型プロセッサであり、並列実行可能な８又は１６個（低並列度又は高並列度）のPE（プロセッサエレメント）を備え、アクセラレータに比べて消費電力が大きいが、データ処理量が大きく、処理できる演算の種類が豊富であり、多種多様なメディア処理が可能である。具体的には、MPEG２&４に対応した同時符号・復号化、HDTVの２ch分の映像信号の復号、PS（Program Stream）とTS（Transport Stream）との統合処理、MPEG４-AVCによる符号・復号化等のマルチフォーマットに対応した符号・復号化処理が可能なる。また、MPEG２からMPEG４への変換、HD（高解像度ビデオ信号）からSD（標準画質ビデオ信号）への変換、低ビットレート化等の各種変換も可能となる。さらに、画像を表示するディスプレイデバイスに応じた高画質化制御等も可能となり、サーバ系アプリケーションに必要とされる各種メディア処理に対応することができる。

【００６８】

ストリームＩ／Ｏブロック２３０は、上記映像音声処理用集積回路１００のストリームＩ／Ｏブロック３０におけるストリーム処理部３５及びデバイスＩＦ部３６を、より豊富な周辺デバイスと接続可能なストリーム処理部２３１及びデバイスＩＦ部２３２に代えた構成を備える。ストリーム処理部２３１は、映像音声処理用集積回路１００のストリーム処理部３５の機能に加えて、放送やネットワーク等にも対応するために、外部に接続されるTVチューナ２０２やイーサコントローラ２０３からのストリームを処理する機能も備える。デバイスＩＦ部２３２は、USB２０５、メモリカード１０３用のインターフェース、ハードディスク２０６や光ディスク２０７用のディスクドライブインターフェース、差動ＩＦ２０８等の集まりである。

【００６９】

AVIOブロック２４０は、上記映像音声処理用集積回路１００のAVIOブロック４０から撮像処理エンジン部４３を除いた構成を備え、小型のLCD１０７に代えて、SD／HD対応の大型LCD２１２に画像を出力する機能を有する。

【００７０】

メモリＩＦブロック２５０は、上記映像音声処理用集積回路１００のメモリＩＦブロック５０と同様の機能を有するが、外部メモリ２１０及び２１１として、通常のSDRAMだけでなく、DDR（Double Data Rate）型のSDRAMと接続する高速バスを備える。

【００７１】

このように、本発明に係る映像音声処理用集積回路２００は、多くの種類の周辺デバイス用のインターフェース回路を備えるとともに、大容量で、かつ、多様なデータ処理にも対応できるメディア処理用プロセッサも備えるので、サーバ系の映像音声機器に適したシステムLSIである。このような映像音声処理用集積回路２００を用いることで、高機能なDTVやDVR等のサーバ系の映像音声機器を短い期間で開発することができる。

【００７２】

以上のように、本発明に係る映像音声処理用集積回路は、特徴的な５つの処理ブロック、つまり、あらゆる映像音声機器に共通の基本アーキテクチャを備えるとともに、各処理ブロックでの構成を変更することでモバイル系アプリケーションやサーバ系アプリケーションに適したタイプにカスタマイズすることができるという設計の自由度を有する。これによって、特定の機器の開発における設計資産を他の機器に流用することが可能となる。

【００７３】

図８は、本発明に係る映像音声処理用集積回路の特徴を示す説明図である。

ここでは、本発明に係る映像音声処理用集積回路は２種類のアーキテクチャ（モバイル用及びサーバ用）をもつシステムLSIとして実現することができ、それら２種類の映像

音声処理用集積回路は、共通設計思想をもち、かつ、A P I（アプリケーションプログラムインターフェース）による整合が可能であることが示されている。さらに、モバイル用の映像音声処理用集積回路は携帯電話等のモバイルコミュニケーション及びビデオカメラ等のA V CモバイルのシステムL S Iとして、一方、サーバ用の映像音声処理用集積回路は、B Dレコーダ等のA V Cサーバ及びH D T V等のD T VのシステムL S Iとして使用できることが示されている。

【0074】

以上のように、本発明に係る映像音声処理用集積回路は、大きく分けると、2つの用途（モバイル系及びサーバ系）、より詳細に分けると、4つの用途（D T V、A V Cサーバ、A V Cモバイル、モバイルコミュニケーション）における映像音声機器のシステムL S Iとして適用することができ、かつ、それらの機器での設計資産の流用を可能にする。

【0075】

以上、本発明に係る映像音声処理用集積回路について、実施の形態に基づいて説明したが、本発明は、この実施の形態に限られるものではない。

たとえば、本発明に係る映像音声処理用集積回路はモバイル系とサーバ系の2つに分類されたが、これらの分類だけに限られない。たとえば、A V機能付きノートパソコン等のように、低消費電力と高解像度表示が求められる映像音声機器に適用する場合には、クロック制御部14、電源制御部15及びデータ並列プロセッサ221を併せ持つ映像音声処理用集積回路を採用すればよい。

【0076】

また、上記4つの用途に適した映像音声処理用集積回路は、基本的に、図1に示された共通アーキテクチャを備えていればよく、各ブロックが完全に同一の回路で構成されている必要はない。例えば、上記4つの用途に属する機器のうちの1つを第1機器、他の1つを第2機器とした場合に、第1機器用の映像音声処理用集積回路と第2機器用の映像音声処理用集積回路との間において、（1）C P Uの命令セットの少なくとも一部で互換性がある、（2）命令並列プロセッサの命令セットの少なくとも一部で互換性がある、（3）C P Uのコアが同じ論理的接続（ソフトマクロ）を有している、（4）命令並列プロセッサのコアが同じ論理的接続を有している、（5）C P Uのコアが同じマスキレイアウト（ハードマクロ）を有している、（6）C P Uのメモリマップ上での各ブロックの制御レジスタ（各ブロックを制御するためのレジスタ）のアドレスが同じである、あるいは、各処理で使う外部メモリ9の領域が同じである等のいずれかの共通性があればよい。このような共通性によって、処理ブロックの単位で、アプリケーションプログラムの流用、あるいは、システムL S Iとしての製造工程上の流用等が可能となり、全体としての開発効率が向上する。

【0077】

また、本実施の形態では、各処理ブロックに共有されるメモリは、システムL S Iに外付けされたが、システムL S Iに内蔵されてもよい。

【産業上の利用可能性】

【0078】

本発明は、映像音声を扱う機器用のシステムL S Iとして、特に、D T V、D V Dレコーダ等のA V Cサーバ、デジタルカメラ等のA V Cモバイル、携帯電話等のモバイルコミュニケーション等の映像音声機器のシステムL S Iとして利用することができる。

【図面の簡単な説明】

【0079】

【図1】本発明に係る映像音声処理用集積回路の基本構成を示す機能ブロック図である。

【図2】映像音声処理用集積回路の構造図である。

【図3】モバイル系アプリケーションに適した映像音声処理用集積回路の詳細な構成を示す機能ブロック図である。

【図4】映像音声処理用集積回路の動作手順を示すフローチャートである。

【図 5】 図 4 に示された動作におけるデータの流れを示す図である。

【図 6】 図 4 に示された動作における各処理ブロックでの処理の様子を示す図である。

【図 7】 サーバ系アプリケーションに適した映像音声処理用集積回路の詳細な構成を示す機能ブロック図である。

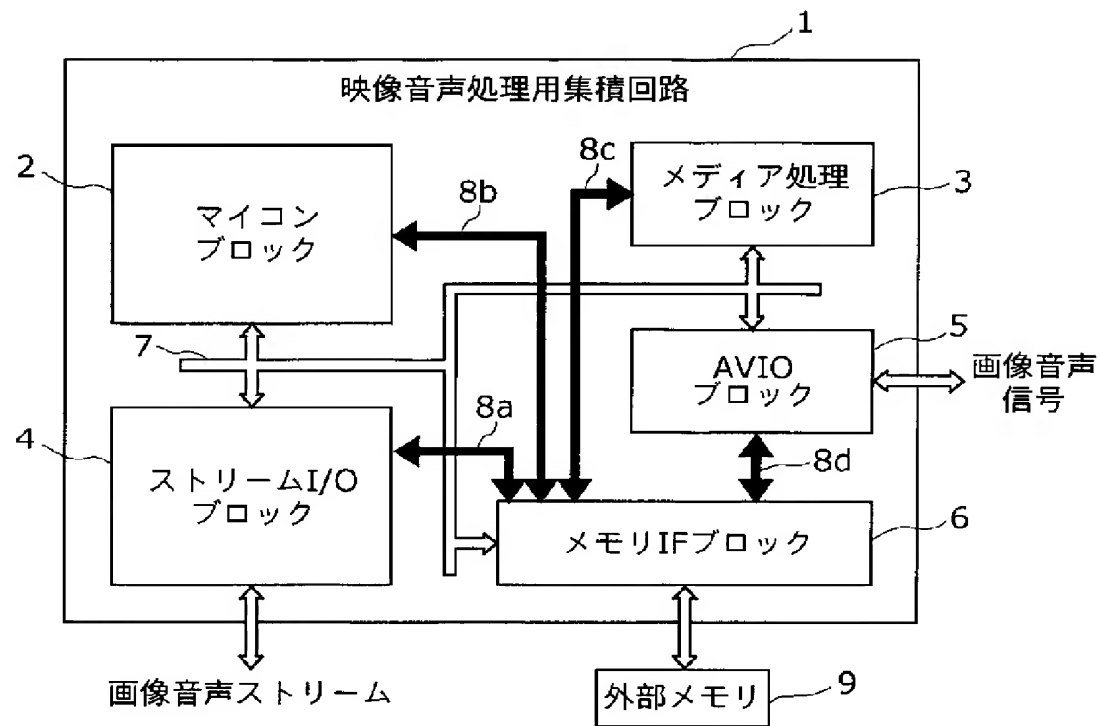
【図 8】 映像音声処理用集積回路の特徴を示す説明図である。

【符号の説明】

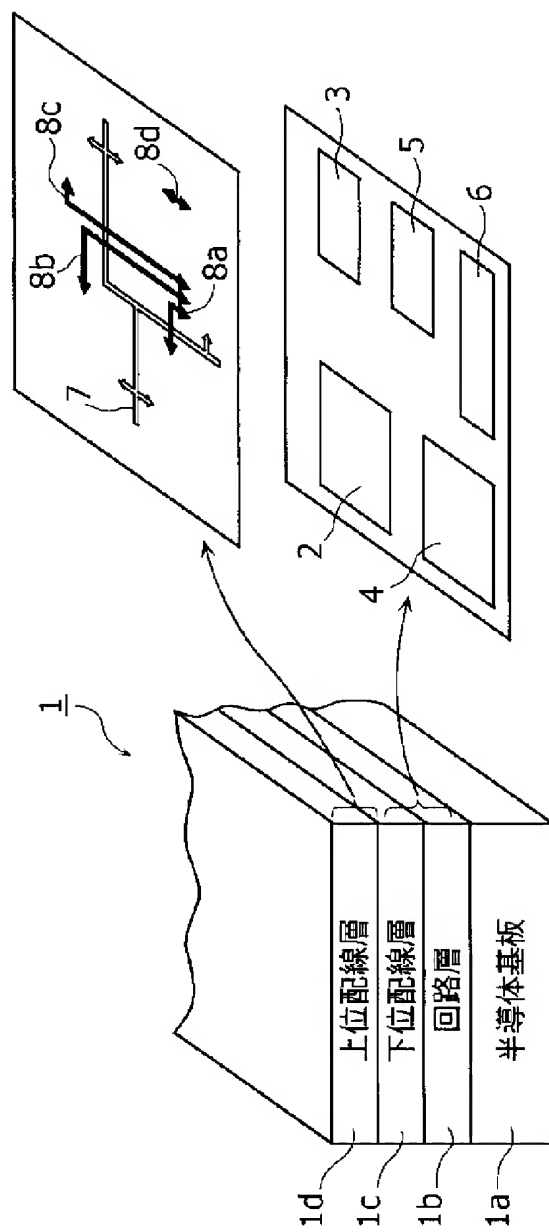
【 0 0 8 0 】

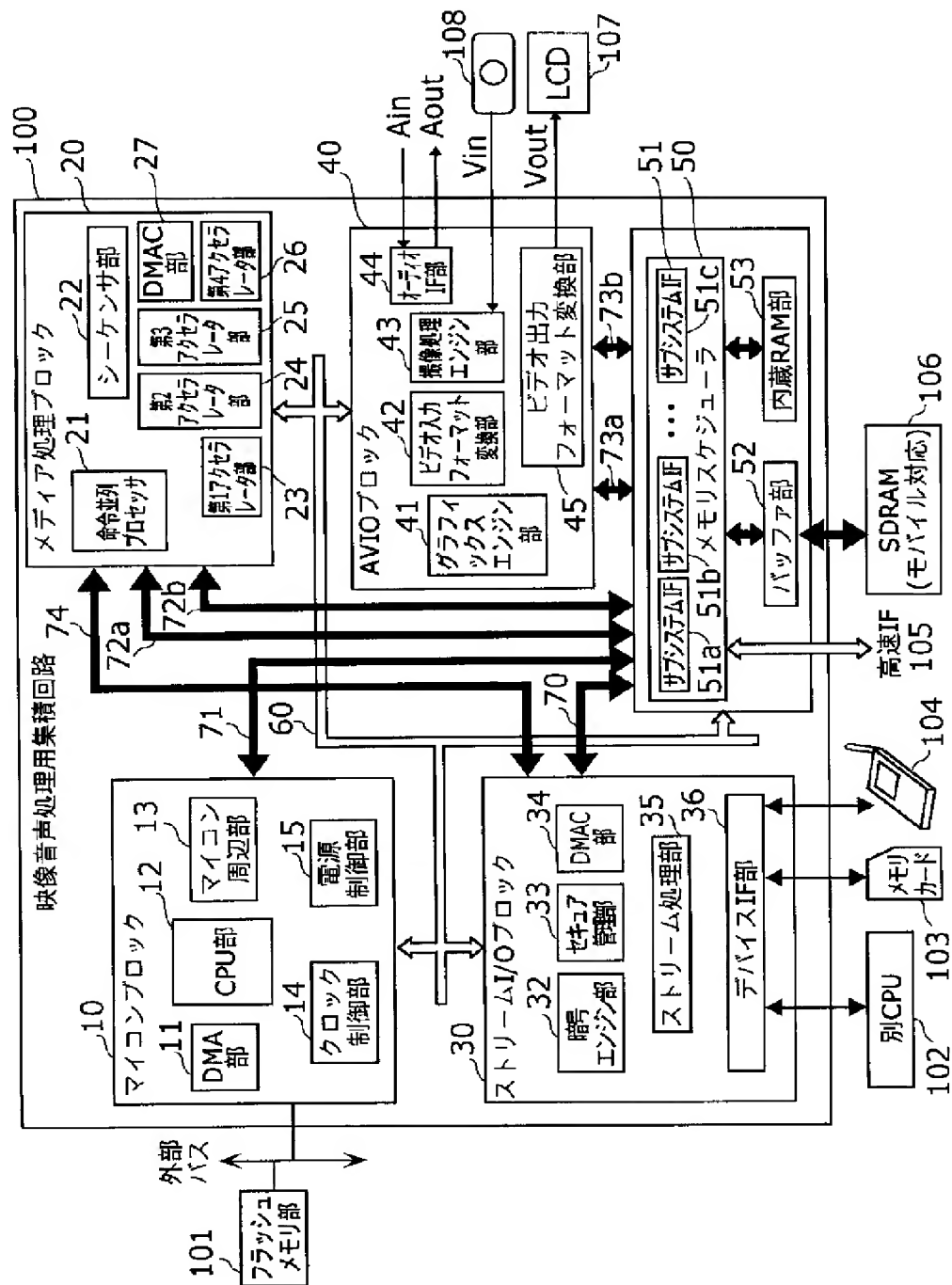
- 1、1 0 0、2 0 0 映像音声処理用集積回路
- 1 a 半導体基板
- 1 b 回路層
- 1 c 下位配線層
- 1 d 上位配線層
- 2、1 0、2 1 0 マイコンブロック
- 3、2 0、2 2 0 メディア処理ブロック
- 4、3 0、2 3 0 ストリーム I / O ブロック
- 5、4 0、2 4 0 A V I O ブロック
- 6、5 0、2 5 0 メモリ I F ブロック
- 7、6 0 制御バス
- 8 a ~ 8 d、7 1 ~ 7 4 データバス
- 9 外部メモリ
- 1 1 D M A 部
- 1 2 C P U 部
- 1 3 マイコン周辺部
- 1 4 クロック制御部
- 1 5 電源制御部
- 2 1 命令並列プロセッサ
- 2 2 シーケンサ部
- 2 3 ~ 2 6 アクセラレータ部
- 2 7 D M A C 部
- 3 2 暗号エンジン部
- 3 3 セキュア管理部
- 3 4 D M A C 部
- 3 5 ストリーム処理部
- 3 6 デバイス I F 部
- 4 1 グラフィックスエンジン部
- 4 2 ビデオ入力フォーマット変換部
- 4 3 撮像処理エンジン部
- 4 4 オーディオ I F 部
- 4 5 ビデオ出力フォーマット変換部
- 5 1 メモリスケジューラ
- 5 1 a ~ 5 1 c サブシステム I F
- 5 2 バッファ部
- 5 3 内蔵 R A M
- 1 0 1 フラッシュメモリ
- 1 0 2 別 C P U
- 1 0 2 ~ 1 0 4 外部デバイス
- 1 0 3 メモリカード
- 1 0 4 P D A
- 1 0 5 高速 I F

1 0 6	S D R A M
1 0 7	L C D
1 0 8	デジ タ ル カ メ ラ
2 0 1	外 部 マ ス タ
2 0 2	T V チ ュ ー ナ
2 0 3	イ ー サ コ ン ト ロ ー ラ
2 0 5	U S B
2 0 6	ハ ー ド デ ィ ス ク
2 0 7	光 デ ィ ス ク
2 0 8	差 動 I F
2 1 0、2 1 1	外 部 メ モ リ
2 1 2	大 型 L C D
2 2 1	デ ー タ 並 列 プ ロ セ ッ サ
2 3 1	ス ト リ ー ム 処 理 部
2 3 2	デ バ イ ス I F 部

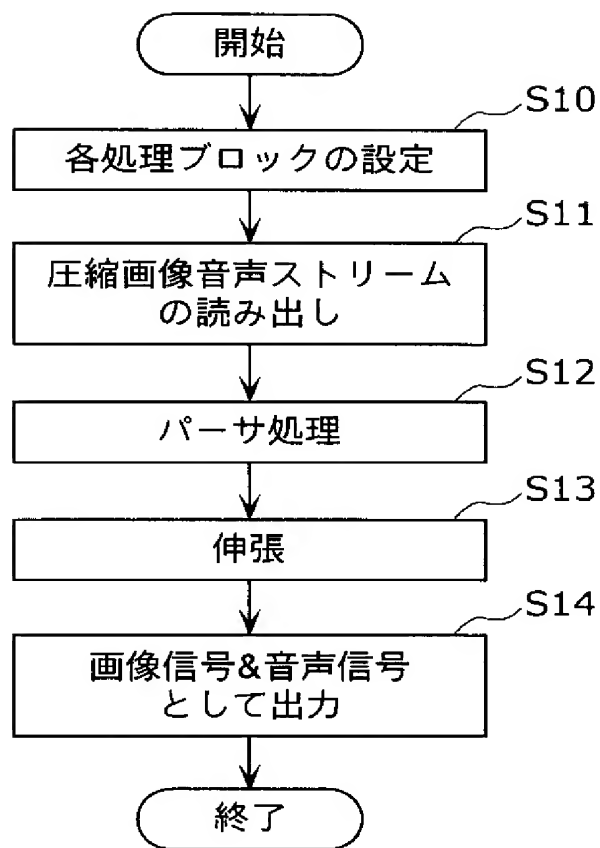


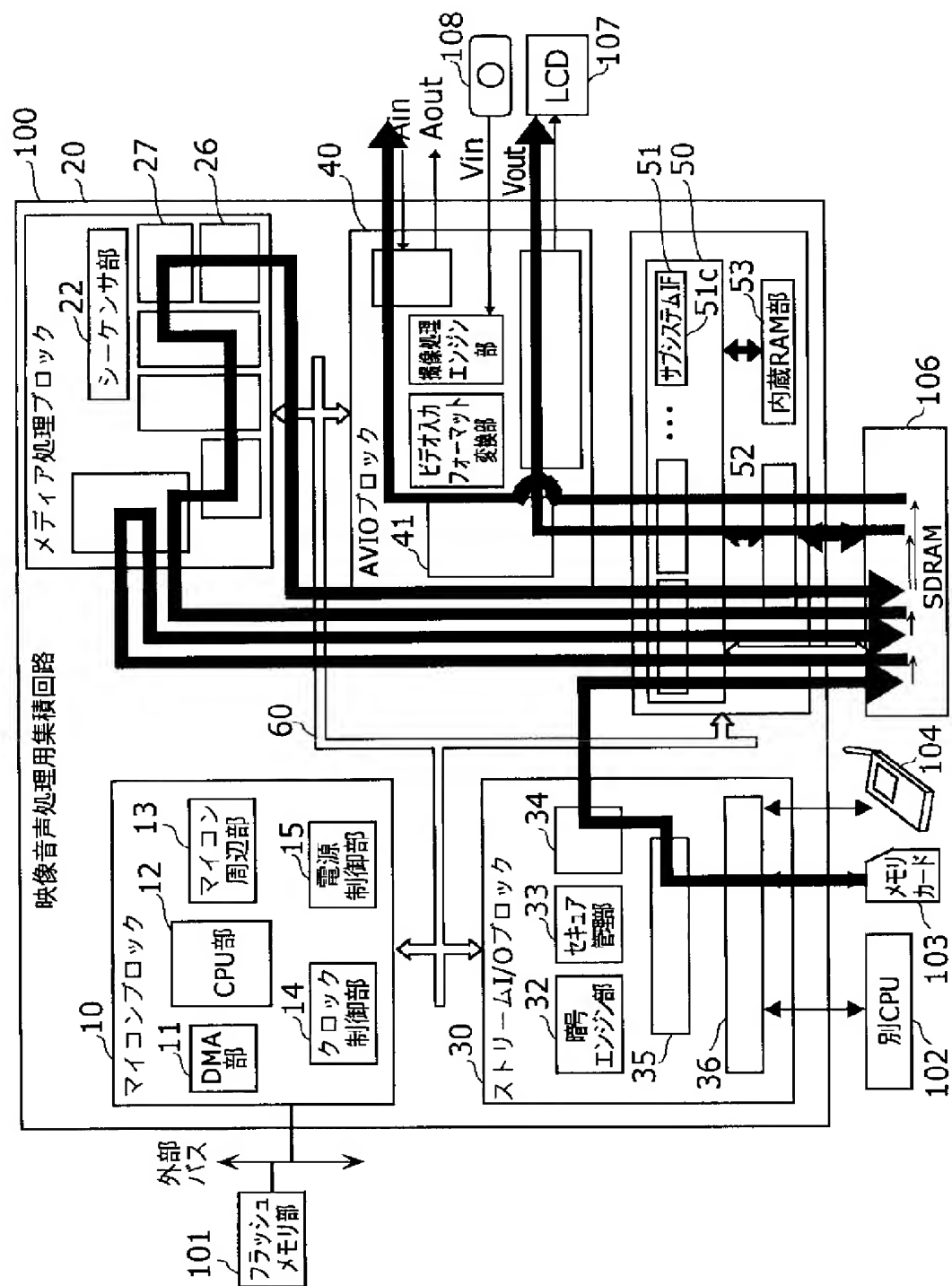
【圖 2】

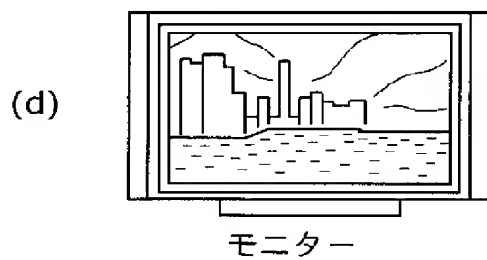
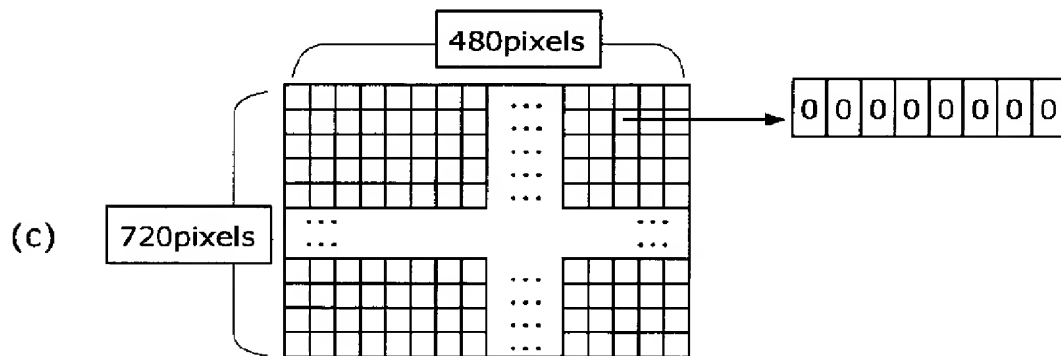
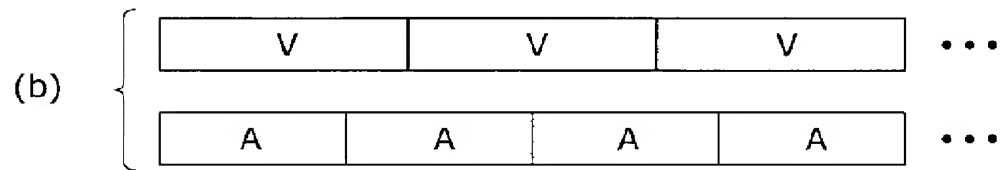
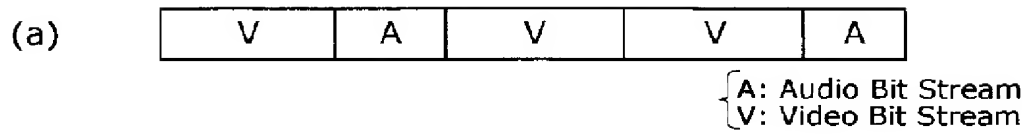


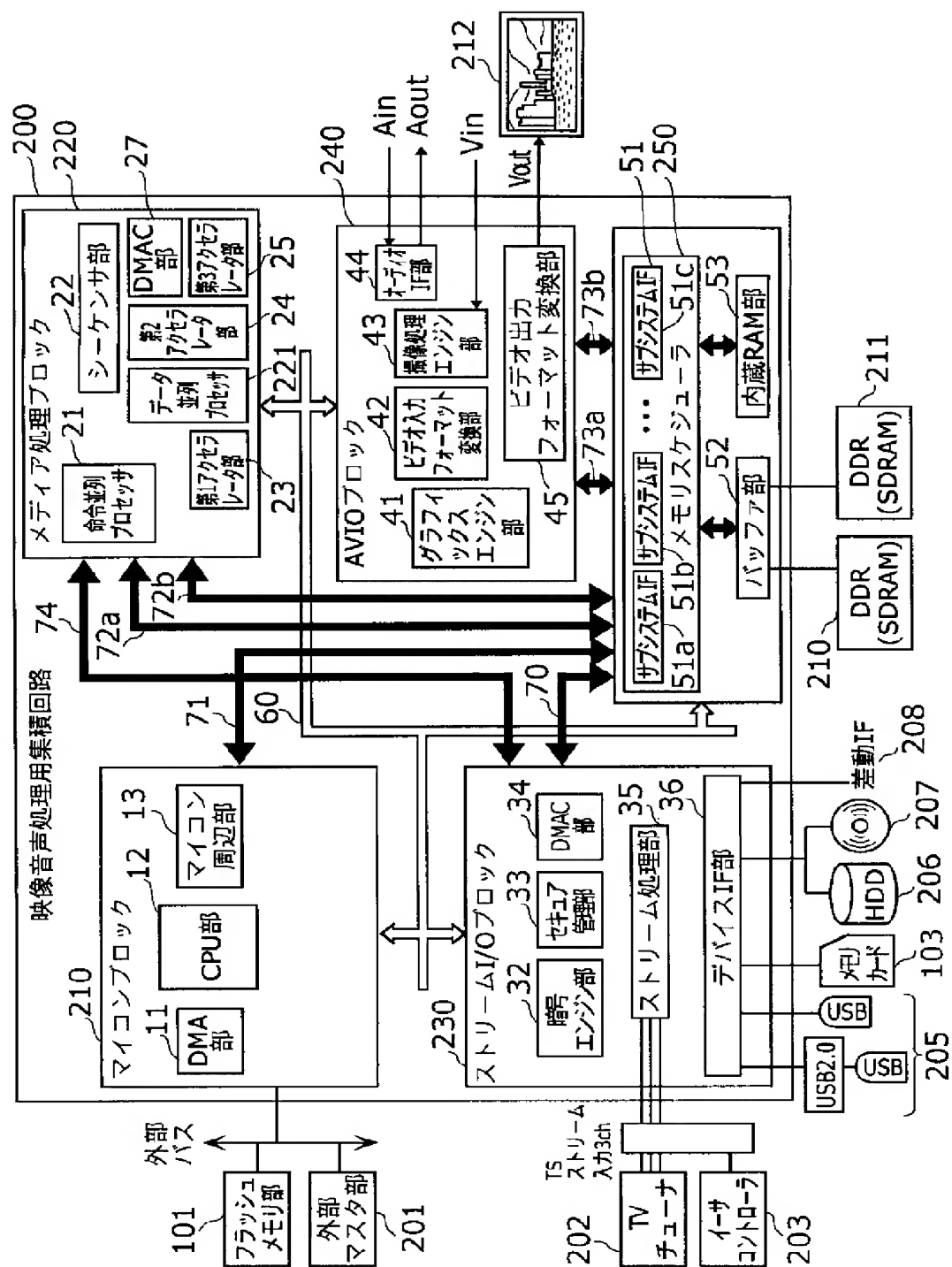


【図 4】









【書類名】 要約書

【要約】

【課題】 映像音声機器の開発で得られた設計資産が他の種類の映像音声機器にも流用することが可能な映像音声処理用集積回路を提供する。

【解決手段】 CPUを含むマイコンブロック2と、外部装置と映像及び音声ストリームの入出力を行うストリームI/Oブロック4と、ストリームI/Oブロック4に入力された映像及び音声ストリーム等の圧縮及び伸張の少なくとも1つを含むメディア処理を実行するメディア処理ブロック3と、メディア処理ブロック3でメディア処理された映像及び音声ストリームを映像及び音声信号に変換して外部機器に出力等するAVIOブロック5と、マイコンブロック2、ストリームI/Oブロック4、メディア処理ブロック3及びAVIOブロック5と外部メモリ9との間のデータ転送を制御するメモリIFブロック6とを備える。

【選択図】 図1

出願人履歴

0 0 0 0 0 5 8 2 1

19900828

新規登録

大阪府門真市大字門真 1 0 0 6 番地

松下電器産業株式会社